

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-199790

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/027

H 0 1 L 21/30

5 2 3

G 0 3 F 1/08

G 0 3 F 1/08

N

9/00

9/00

H

H 0 1 L 21/66

H 0 1 L 21/66

J

21/30

5 0 2 V

審査請求 未請求 請求項の数11 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平9-2668

(22) 出願日

平成9年(1997) 1月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 高木 裕治

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 松山 幸雄

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 広井 高志

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(74) 代理人 弁理士 小川 勝男

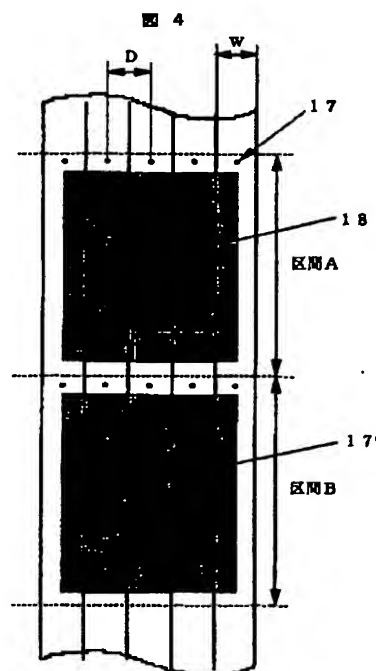
最終頁に続く

(54) 【発明の名称】 半導体チップおよび半導体製造用レチクル

(57) 【要約】

【課題】電子線を用いて半導体ウェーハを検査する場合、得られる電子線画像は検査対象の半導体ウェーハの表面の状態のみであり、下層を利用した複雑なテクスチャを用いたパターンマッチングによる高精度な位置合わせが期待できない。このため参照画像と検出画像を位置合わせするためのマーク等を特別に設け、参照画像と検出画像の位置合わせを高精度に行わなければならない。

【解決手段】半導体ウェーハ上に形成されるチップの周辺領域を利用して、この領域に検査時において最上層の部分に、参照画像と検出画像との位置合わせが可能となる位置合わせ用のパターンを設け、またそのパターンの間隔を、前記ウェーハを一定幅で電子的あるいは光学的に走査しながら、走査方向と垂直方向に半導体ウェーハを移動させ半導体ウェーハの外観状態を検査する装置の、前記走査幅と同一かそれより狭い間隔で配置し、参照画像と検出画像における前記パターンを位置合わせする方法とした。また、前記パターンを形成するためには半導体製造用レチクルにも、前記位置合わせ用のパターンが形成されていなければならない。



1

【特許請求の範囲】

【請求項 1】半導体ウェーハ上に形成される各チップの周辺領域に 300 マイクロメートルより狭い間隔で同一のパターンが形成されていることを特徴とする半導体チップ。

【請求項 2】一定幅を電子的あるいは光学的に走査しながら、走査方向と垂直方向に半導体ウェーハを移動させ半導体ウェーハの外観状態を検査する装置により検査される半導体ウェーハにおいて、半導体ウェーハ上に形成される各チップの周辺領域に前記一定幅より狭い間隔で同一のパターンが形成されていることを特徴とする半導体チップ。

【請求項 3】半導体ウェーハ上に形成される各チップの周辺領域に該当するレチクル上の領域に 1500 マイクロメートルより狭い間隔で同一のパターンが形成されていることを特徴とする半導体製造用レチクル。

【請求項 4】半導体ウェーハ上に形成される各チップの周辺領域に該当するレチクル上の領域に 300 マイクロメートルにステップの縮小投影露光の投影倍率倍を乗じた距離より狭い間隔で同一のパターンが形成されていることを特徴とする半導体製造用レチクル。

【請求項 5】一定幅を電子的あるいは光学的に走査しながら、走査方向と垂直方向に半導体ウェーハを移動させ半導体ウェーハの外観状態を検査する装置により検査される半導体ウェーハを製造するためのレチクルにおいて、前記半導体ウェーハ上に形成されるチップの周辺領域に該当するレチクル上の領域に前記一定幅にステップの縮小投影露光の投影倍率倍を乗じた幅より狭い間隔で同一のパターンが形成されていることを特徴とする半導体製造用レチクル。

【請求項 6】請求項 1 または請求項 2 に記載の半導体ウェーハ上に形成されるチップの周辺領域とはガードリング部であることを特徴とする半導体チップ。

【請求項 7】請求項 1 または請求項 2 に記載の半導体ウェーハ上に形成されるチップの周辺領域とはスクライプ領域であることを特徴とする半導体チップ。

【請求項 8】請求項 1 または請求項 2 に記載の半導体ウェーハ上に形成されるチップの周辺領域とはガードリング部とチップの間の領域であることを特徴とする半導体チップ。

【請求項 9】請求項 3、請求項 4 または請求項 5 いずれかに記載の半導体ウェーハ上に形成されるチップの周辺領域に該当するレチクル上の領域とは半導体ウェーハ上のガードリング部に対応する部分であることを特徴とする半導体製造用レチクル。

【請求項 10】請求項 3、請求項 4 または請求項 5 いずれかに記載の半導体ウェーハ上に形成されるチップの周辺領域に該当するレチクル上の領域とは半導体ウェーハ上のスクライプ領域に対応する部分であることを特徴とする半導体製造用レチクル。

【請求項 11】請求項 3、請求項 4 または請求項 5 いず

2

れかに記載の半導体ウェーハ上に形成されるチップの周辺領域に該当するレチクル上の領域とは半導体ウェーハ上のガードリング部とチップの間の領域に対応する部分であることを特徴とする半導体製造用レチクル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体チップおよび半導体製造用レチクルに係わり、特に一定幅を電子的あるいは光学的に走査しながら、走査方向と垂直方向に半導体ウェーハを移動させ半導体ウェーハの外観状態を検査される半導体ウェーハ上に作り込まれる半導体チップおよびその半導体を製造するためのレチクルに関する。

【0002】

【従来の技術】従来、一定幅を光学的に走査しながら、走査方向と垂直方向に半導体ウェーハを移動させ半導体ウェーハの外観状態を検査される半導体ウェーハにおいては、S.Maeda et al., "Automated visual inspection of LSI wafer patterns using derivative-polarity comparison algorithm", SPIE Vol.1567 Applications of Digital Image Processing XIV, pp.100-109(1991)に記載されているような方式により 1 チップ分の画像を参照画像として記憶しておき、新たに走査して得られたチップの検出画像とを比較する 2 チップ比較方式が主流となっている。この方法では参照画像と検出画像の位置合わせが重要であるが、従来はセル部の配線パターンを利用してその複雑なテクスチャを用いてパターンマッチングを行い、この位置合わせを行っていた。

【0003】

【発明が解決しようとする課題】上記従来技術の光学式検査方式を用いて、微細構造の半導体ウェーハの製造過程におけるパターンの欠陥を検査した場合、光学的に透過材質でかつ検査に用いる光学波長と屈折率に依存した光学距離が十分小さいシリコン酸化膜や、感光性レジスト材料等の残渣は検出できない問題があり、又、線状で短辺の幅が光学系の分解能以下となるエッチング残りや、微小導通孔の非開口不良が検出できない問題があった。

【0004】一方、電子線を利用した自動検査方式においては上述した光学的には検出困難な微細構造で且つ絶縁物あるいは導電性物質が混在する半導体ウェーハの製造過程における回路パターンの欠陥が検査可能である。

【0005】従来技術でも述べたように半導体ウェーハの外観検査方式に用いられている 2 チップ比較方式において重要となる参照画像と検出画像の位置合わせは、光学式の場合は透過して検出される下層の配線パターンより得られる複雑なテクスチャを用いて高精度に行うことができるが、電子線を用いた検査方法の場合、得られる電子線画像は検査対象の半導体ウェーハの表面の状態のみであり、下層を利用した複雑なテクスチャを用いたパターンマッチングによる高精度な位置合わせが期待でき

3

ない。このため従来技術で述べた参照画像と検出画像を位置合わせするためのマーク等を特別に設け、参照画像と検出画像の位置合わせを高精度に行う必要がある。

【0006】

【課題を解決するための手段】上記課題は、半導体ウェーハ上に形成されるチップの周辺領域を利用して、この領域に検査時において最上層の部分に、参照画像と検出画像との位置合わせが可能となる位置合わせようパターンを設け、またそのパターンの間隔を、前記ウェーハを一定幅で電子的あるいは光学的に走査しながら、走査方向と垂直方向に半導体ウェーハを移動させ半導体ウェーハの外観状態を検査する装置の、前記走査幅と同一かそれより狭い間隔で配置し、参照画像と検出画像における前記パターンを位置合わせすることにより達成される。また、前記パターンを形成するためには半導体製造用レチクルにも前記パターンを形成するためのパターンが形成されていなければならない。

【0007】

【発明の実施の形態】以下、本発明の実施例を図面を参照しながら説明する。図1はウェーハを電子的に走査し検査する検出系を模式的に表した図である。電子光学系は電子銃1、電子線引き出し電極2、コンデンサレンズ3、ブランキング用偏向器4、走査偏向器5、絞り6、対物レンズ7により構成されている。照射される電子線は8で示される。試料室は、X-Yステージ9、回転ステージ10より構成されており、また二次電子検出器11が対物レンズ7の上方にあり、二次電子検出器の出力信号はプリアンプ12で増幅されAD変換器13によりデジタルデータとなる。画像処理部は画像記憶部14a、14b、演算部15により構成されている。16は回転ステージ10上にローディングされた被検査半導体ウェーハである。

【0008】検査時には、被検査半導体ウェーハ16を搭載したX-Yステージ9は、X方向に連続して一定速度で移動する。この間電子線8は、走査偏向器5にてY方向に直線に走査される。この関係を示したのが図2と図3である。代表的な走査方法は二つある。一つは常に同一方向に走査する方法であり図2に示した。被検査半導体ウェーハ16上の電子線照射位置の軌跡を実線で示してある。

【0009】この走査方法の場合、被検査半導体ウェーハ16上に空間的、時間的に均一に電子線を照射するためには、電子線8が振り戻される間（点線で示した部分）は被検査半導体ウェーハ16に照射されないようにブランキングする必要がある。ブランキングはブランキング用偏向器4により電子線8を偏向して絞り6を通過できぬようにする。一方、第二の走査方法としては電子線8を同一速度で往復させる方法がある。このときの被検査半導体ウェーハ16上の電子線照射位置の軌跡を図3に示す。

4

【0010】このようにすることで電子線をを振り戻す時間とブランキング偏向器4が省略できる。ただしこの場合、電子線走査の周辺部では中心部に比べて電子線が短時間に集中して照射されるため、帯電現象の時定数が非常に速い半導体ウェーハでは画像にムラが生じてしまう。これを解決する一つの方法として、走査の周辺部では中心部より電子線8を速く走査するように偏向速度を制御する。すなわちこのように電子線8を走査することで、ある有限の領域sに、ある有限の時間tの間照射される電子線の量が走査領域全面でほぼ同一となるようにできる。ここで領域sと時間tは被検査半導体ウェーハ16固有に決められるもので、繰り返しパターンの大きさと帯電の緩和時間によって決まる。

【0011】いずれにしろ、これらの関係は定性的なもので、定量的な法則性を見いだすのは困難であり、実際には比較検査を行う前の条件設定時に電子線を予め被検査領域以外の場所で走査して経験的にかつ自動的に求めるようにする。以上のような方法により、予め設定した被検査半導体ウェーハ16の一部あるいは全部の回路パターンに電子線を照射し、検査領域の大きさ・形状に適した画像形成が可能になる。

【0012】電子線8を被検査半導体ウェーハ16に照射している間、発生した二次電子は検出器11にて電気信号として検出される。検出された電気信号はAD変換器13にて変換されることによりデジタル化される。そして、所望の画素サイズに対応した時間毎に、その明るさの情報を濃淡階調値として、記憶部14aまたは14bに格納する。これを繰り返し、電子線照射位置と二次電子捕獲量の対応をとることにより、被検査半導体ウェーハ16の2次元の2次電子画像を記憶する。検出信号を検出直後にデジタル化してから伝送することにより高速、高S/Nで柔軟な画像処理が施せる。

【0013】上記方法にて形成・伝送された二次電子画像は、複数の記憶部14a、14bに記憶される。チップ間で比較検査をする場合、チップAの該検査領域についての二次電子画像をまず記憶部14a参照画像として格納する。次に隣接するあるいは前記チップAとは異なるチップBの同一箇所、同一回路パターンを記憶部14bに検出画像として記憶しながら同時に記憶部14aの参照画像と比較する。画像への処理および比較については例えばS.Maeda et al., "Automated visual inspection of LSI wafer patterns using derivative-polarity comparison algorithm", SPIE Vol.1567 Applications of Digital Image Processing XIV, pp.100-109(1991)に開示されている方法で実施可能である。

【0014】さらに、次のチップCの二次電子画像は記憶部14aに検出画像として上書き記憶され、記憶しながら同時に記憶部14bにきおくされたチップBの画像を今度は参照画像として用い比較する。これを繰り返し、すべての検査チップ・検査領域について記憶・比較

し相違部を欠陥として検出する。

【0015】この方法以外に、予め標準となる半導体ウェーハ16の回路パターンの該検査領域の二次電子画像を記憶部14aに参照画像として記憶させる方法も可能である。予め良品の半導体ウェーハ16'について検査領域等を設定した後検査を実行し、所望の領域の二次電子画像を取り込み、記憶部14aに参照画像として記憶する。次に、被検査半導体ウェーハ16を検査装置にロードし、同様の方法で検査し、その二次電子画像を記憶部14bに検出画像として取り込み、これと先に述べた記憶部14aに記憶された参照画像である良品半導体ウェーハ16'の二次電子画像と位置合わせ・各種画像処理・比較を行うことにより、欠陥のみを検出する方法も考えられる。

【0016】前述した半導体ウェーハの外観検査方式に用いられている2チップ比較方式においては、参照画像と検出画像の位置合わせが重要となる。光学式の場合は従来の技術でも述べたように透過して検出される下層の配線パターンより得られる複雑なテクスチャを用いて高精度にこの位置合わせができるが、電子線を用いた検査方法の場合、得られる二次電子画像は検査対象の半導体ウェーハ16の表面の状態のみであり、下層を利用した複雑なテクスチャを用いたパターンマッチングによる高精度な位置合わせが期待できない。

【0017】このため参照画像と検出画像を位置合わせするためのマーク等を特別に設け、参照画像と検出画像の位置合わせを高精度に行う必要がある。これを実現するために、チップの周辺部に位置合わせ用のマークを設ける。図2及び図3に示したように電子線を用いた検査ではある一定幅Wを電子線が走査しながら検査が実行される。このとき参照画像は図4に示す幅W、区間Aの領域であり、検出画像は幅W、区間Bの領域である。18はチップを表す。よってこの一定幅W以内に最低1個の位置合わせ用マーク17を設ける必要がある。

【0018】1個の位置合わせマーク17により参照画像R(x,y)の位置合わせマーク17と検出画像D(x,y)の位置合わせマーク17'から、両画像の位置合わせマークのパターンマッチングを画像処理により行うことで、両画像の位置ずれ量dx, dyがわかり、
$$R(x,y) = D(x+dx, y+dy) \cdots (数1)$$
で参照画像R(x,y)と検出画像D(x,y)を一致させることができる。

【0019】また一定幅W以内に2個以上の位置合わせ用マークを設ければその平均から、参照画像R(x,y)と検出画像D(x,y)の位置ずれ量dx, dyを検出分解能以下の精度で求めることも可能となる。図4では位置合わせ用マークは水平方向に並べてあるが、本来的には電子線が走査される方向と平行な方向であることが重要である。これは図2あるいは図3におけるY方向に対応する。

【0020】図4に示す位置合わせマーク17の間隔D

は位置合わせの時一位相ずれて位置合わせが行われないよう一定距離以上離す必要がある。この前記一定距離は被検査半導体ウェーハをX-Yステージ9にロードした後に、回転ステージ10により被検査半導体ウェーハ上に形成されるチップにより規定されるX-Y座標系とX-Yステージ9の持つX-Y座標系を一致させるアライメントにより両X-Y座標系が何度以内の精度で一致できるかに依存する。また位置合わせ用マークの間隔の最大距離は電子線の最大走査幅に依存する。2チップ比較を前提とした検査の場合検出される画像からは幾何学的な歪みを極力排除しなければならない。この歪みは電子線の被検査対象物上での合焦状態に影響する非点収差、コマ収差に起因する。これらの収差を無視できる走査幅は300マイクロメートルが限界であり、これより位置合わせ用マークの間隔Dの最大距離は300マイクロメートル以内であることが要求される。

【0021】位置合わせ用のマークの形状、形成場所に関しては形成場所から三つの方法が考えられる。第一の方法は図5に示すようにスクライブ領域にマークを設ける方法である。18はチップ、19は後述するガードリング部である。この方法の場合マークの形状はアライナー、ステッパー等に用いられている位置合わせ用のマークの形状であっても良いし、パターンマッチングという画像処理により位置合わせを行うことを考えれば点対称あるいは線対称な形状が好適である。図5に示すマークの間隔Dは前述の間隔に準ずる。

【0022】第二の方法はガードリング部とチップの間の領域にマークを設ける方法である。ガードリング部は図5に示すようにチップへの横からの水分や、ナトリウム等の侵入を防ぐために設けられた幅数十マイクロメートル程度のアルミあるいは酸化シリコン等各工程で使用される材料により形成されている。通常ガードリング部とチップの間には図5に示すような100~200マイクロメートルの空白領域があるのでこの部分に第一の方法で記載したものと同様のマークの形状を形成し、これを用いて位置合わせを行う。図6に示すマークの間隔Dは前述の間隔に準ずる。

【0023】第三の方法はガードリング部にマークを設ける方法である。従来直線で構成されるガードリング部の外周部あるいは内周部に図7に示すような矩形波状のマークを設け、これを用いて位置合わせを行う。マーク形状としては図7に示した矩形波状のマークの他に図8にしめすように鋸刃状、三角形状の刻み、半円形状の刻みなどが考えられる。図7および図8に示すマークの間隔Dは前述の間隔に準ずる。

【0024】以上、半導体ウェーハ上の各チップに形成される位置合わせ用パターンについて述べたが、このパターンをウェーハ上の前述した所定の位置につくり込むためには露光工程のステッパに用いられるレチクルにもそれに対応する位置に形成されていなければならない。

10

20

30

40

50

7

但し、レチクルによる露光は縮小投影露光が一般的なので、この縮小比を勘案する必要がある。例えば現在はレチクルはチップサイズに対して5倍のサイズで作成されるのが一般的であるので、前述の位置合わせ用パターンの間隔は電子線走査幅の最高5倍以下、前述のように画像処理用二次電子画像検出のための電子線走査幅の限界値は300マイクロメートルであるから、レチクルにおいては1500マイクロメートル以下であることが要求される。レチクルサイズのチップサイズの比を縮小投影露光における投影倍率と定義すれば、レチクル上に形成される位置合わせ用のパターンの間隔は電子線走査幅に縮小投影露光における投影倍率を掛け合わせた距離以下である必要がある。

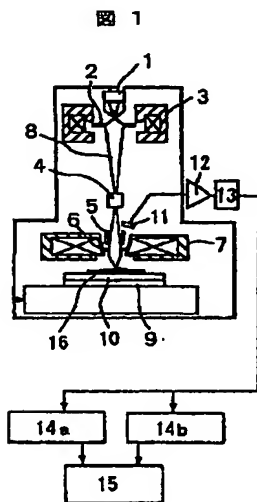
【0025】以上は電子線を用いた半導体ウェーハ外観検査について述べたが、光学式の半導体ウェーハ外観検査であっても位置合わせマークが光学的に顕在化可能であれば本方式を利用できる。

【0026】

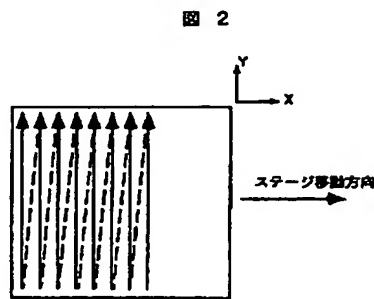
【発明の効果】本発明によれば電子線を用いた2チップ比較方式の半導体ウェーハ外観検査において、得られる二次電子線画像が検査対象の半導体ウェーハの表面の状態のみであって、下層を利用した複雑なテクスチャを用いたパターンマッチングによる二つのチップの高精度な画像位置合わせが期待できない場合でも、本発明で開示した位置合わせマークを被検査半導体ウェーハ上の各チップ、あるいは露光工程のステッパに用いられるレチクルの対応する位置に設けることにより二つのチップの高精度な画像位置合わせが可能となる。

【図面の簡単な説明】

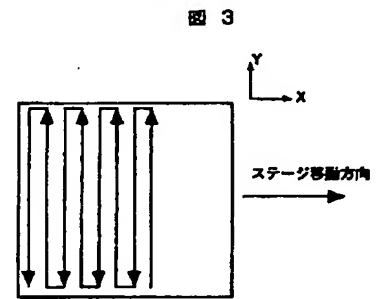
【図1】



【図2】



【図3】



8

* 【図1】本発明による検査装置の全体構成を示す略断面図である。

【図2】試料上での電子線走査方法を示す試料の平面図である。

【図3】試料上での電子線走査方法を示す試料の平面図である。

【図4】位置合わせ用パターンの配置を示す半導体ウェーハの平面図である。

【図5】位置合わせ用パターンの配置を示す半導体ウェーハの平面図である。

【図6】位置合わせ用パターンの配置を示す半導体ウェーハの平面図である。

【図7】ガードリング部における位置合わせ用パターン形状を示す半導体ウェーハの平面図である。

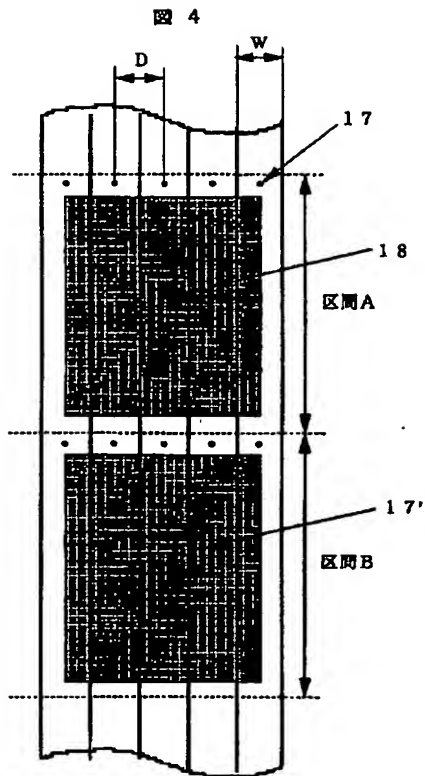
【図8】ガードリング部における位置合わせ用パターン形状を示す半導体ウェーハの平面図である。

【符号の説明】

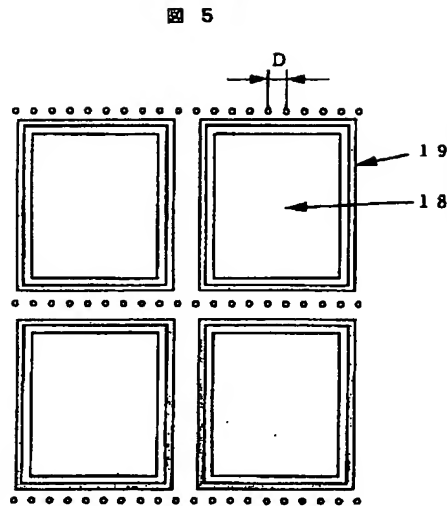
- | | |
|------------|--------------|
| 1…電子銃 | 2…電子線引き出し電極 |
| 3…コンデンサレンズ | 4…ブランキング用偏向器 |
| 5…走査偏向器 | 6…絞り |
| 7…対物レンズ | 8…電子線 |
| 9…X-Yステージ | 10…回転ステージ |
| 11…二次電子検出器 | 12…プリアンプ |
| 13…AD変換器 | 14a…画像記憶部 |
| 14b…画像記憶部 | 15…演算部 |
| 16…半導体ウェーハ | 17…位置合わせマーク |
| 18…チップ | 19…ガードリング |

*

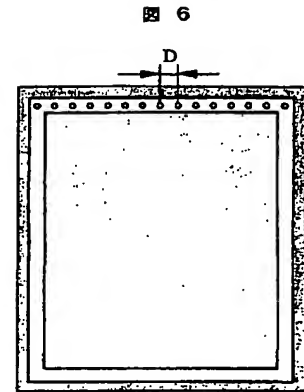
【図4】



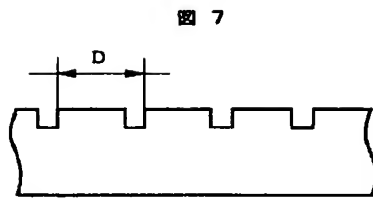
【図5】



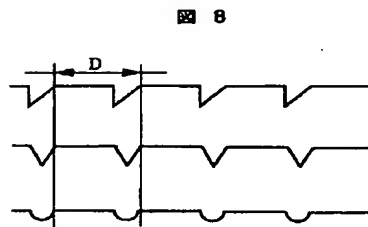
【図6】



【図7】



【図8】



フロントページの続き

(51)Int. Cl. 6

識別記号

F I

H O 1 L 21/30

5 2 2 Z

(72)発明者 田中 麻紀
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内
(72)発明者 久邇 朝宏
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 杉本 有俊
東京都青梅市今井2326番地株式会社日立製
作所デバイス開発センタ内
(72)発明者 東 淳三
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内